

FIȘA DISCIPLINEI

1. Date despre program

1.1 Instituția de învățământ superior	Universitatea Tehnică din Cluj-Napoca
1.2 Facultatea	Electronică, Telecomunicații și Tehnologia Informației
1.3 Departamentul	Bazele Electronicii
1.4 Domeniul de studii	Inginerie electronică, telecomunicații și tehnologii informaționale
1.5 Ciclul de studii	Licență
1.6 Programul de studii / Calificarea	Microelectronică, optoelectronică și nanotehnologii
1.7 Forma de învățământ	IF – învățământ cu frecvență
1.8 Codul disciplinei	35.00

2. Date despre disciplină

2.1 Denumirea disciplinei	Limbaje descriere hardware		
2.2 Titularul de curs	Conf. Dr. Ing. Botond Sandor KIREI- botond.kirei@bel.utcluj.ro		
2.3 Titularul activităților de seminar / laborator / proiect	Conf. Dr. Ing. Botond Sandor KIREI- botond.kirei@bel.utcluj.ro		
2.4 Anul de studiu	II	2.5 Semestrul	I
2.6 Tipul de evaluare			E
2.7 Regimul disciplinei	Categoriza formativă		DS/DI
	Opționalitate		

3. Timpul total estimate

3.1 Număr de ore pe săptămână	4	din care:	3.2 Curs	2	3.3 Seminar	0	3.3 Laborator	2	3.3 Proiect	0
3.4 Număr de ore pe semestru	56	din care:	3.5 Curs	28	3.6 Seminar	0	3.6 Laborator	28	3.6 Proiect	0
3.7 Distribuția fondului de timp (ore pe semestru) pentru:										
(a) Studiul după manual, suport de curs, bibliografie și notițe										
(b) Documentare suplimentară în bibliotecă, pe platforme electronice de specialitate și pe teren										
(c) Pregătire seminarii / laboratoare, teme, referate, portofolii și eseuri										
(d) Tutoriat										
(e) Examinări										
(f) Alte activități:										
3.8 Total ore studiu individual (suma (3.7(a))...3.7(f))										
3.9 Total ore pe semestru (3.4+3.8)										
3.10 Numărul de credite	5									

4. Precondiții (acolo unde este cazul)

4.1 de curriculum	Circuite integrate digitale, Sisteme cu circuite integrate digitale
4.2 de competențe	<ul style="list-style-type: none"> • Matematica Booleană. Funcții binare. Dezcompunerea Shannon. Arbore binar. Notarea PCN (Positional Cube Notation). Satisfiabilitatea booleană. • Diagrame Karnaugh pentru simplificare multivariabilă. Minimizarea funcțiilor logice cu metode algebrice (Quine-McCluskey) și metode euristice (cunoașterea operatorilor de minimizare euristica) • Sinteza circuitelor combinaționale în două etaje. Minimizarea multinivel a funcțiilor logice

5. Condiții (acolo unde este cazul)

5.1. de desfășurare a cursului	Amfiteatru cu capacitate de minim 60 de locuri dotat cu tablă, calculator, videoproiector, instrumente de scris și sters tablă În timpul cursului studenții trebuie să respecte bunele maniere așteptate de viitori intelectuali (să respecte ordinea săli, să nu vorbească în timpul prelegerii, pune telefonul pe silențios, să nu întrerupe prelegerea nemotivat, să-și respecte colegii și profesorii, etc)
5.2. de desfășurare a seminarului / laboratorului / proiectului	Sala de laborator 502b. Laboratorul este echipat cu 15 calculatoare instalate cu suite de software folosite la simularea limbajelor de descriere hardware (suita Xilinx Vivado, suita iVerilog+GtkWave+editor, Mentor Graphics)

6. Competențele specifice acumulate

Competențe profesionale	<p>Cunoștințe teoretice, (Ce trebuie să cunoască)</p> <ul style="list-style-type: none"> Să cunoască terminologia utilizată în limbajele de descriere hardware. Să demonstreze capacitatea de utilizare adecvată a metodelor de modelare și de simulare a circuitelor digitale folosind limbaje de descriere hardware Să înțeleagă importanța cunoașterii limbajelor de descriere hardware în proiectarea sistemelor digitale și mixte Să cunoască structura modulelor de verificare utilizată în verificarea direcționată, verificarea aleator constans și verificarea bazată pe afirmații Modul de funcționare a simulatoarelor cu timp infinitezimal (delta-time). Modul de funcționare a simulatoarelor pe bază de tact. <p>Deprinderi dobândite: (Ce știe să facă)</p> <ul style="list-style-type: none"> Proiectarea circuitelor digitale avansate utilizând limbaje de descriere hardware VHDL și Verilog. Nivele de abstractizare. Descrierea la nivel de tranzistor. Descriere la nivel de poartă. Descriere la nivel de transfer a regiștrilor. Descriere la nivel de sistem. Proiectarea sistemelor digitale folosind metoda cailor de date și de control (data/control path design) Verificarea circuitelor utilizând limbaje de verificare hardware (SystemC, SystemVerilog, Vera și E) și librării de verificare hardware (Accelera Open Verification Library). Metode de verificare (Unified Verification Method, Assertion Based Verification) <p>Abilități dobândite: (Ce instrumente știe să mănuiască)</p> <ul style="list-style-type: none"> Cunoștințe de utilizare a programelor dedicate pentru proiectarea circuitelor digitale, precum simulatorul Mentor Graphics ModelSim, suita de simulare iVerilog, Xilinx Vivado. Cunoștințe de utilizare corectă a instrumentelor de simulare a modelelor descrise folosind limbaje de descriere hardware precum și lucrul cu bibliotecile de resurse
Competențe transversale	<ul style="list-style-type: none"> Să utilizeze resursele de informare în domeniul modelării și simulării sistemelor digitale folosind limbajele de descriere hardware. Preocupare pentru perfecționare profesională prin antrenarea abilităților de gândire critică și să-și perfecționeze pregătirea și educația pe întregul parcurs al activității. Să dezvolte abilități de lucru în echipă din domeniul limbajelor de descriere hardware

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

7.1 Obiectivul general al disciplinei	Dezvoltarea abilităților de programare/verificare/testare
7.2 Obiectivele specifice	Scopul acestui curs este de a dezvolta o înțelegere a tehnologiilor din spatele proiectării și verificării hardware. Studentii vor dezvolta o apreciere a capabilității/limitii diverselor metode de proiectare și de verificare hardware. Cursul va acoperi bazele simulării VHDL / Verilog și a verificării folosind tehnici formale, cum ar fi: simularea simbolică, satisfiabilitatea booleană și verificarea echivalenței. Prelegerile vor acoperi studii de caz de verificare a sistemelor digitale complexe, de exemplu verificarea microprocesoarelor cu set de instrucțiuni reduce.

8. Conținuturi

8.1 Curs	Nr. ore	Metode de predare	Observații
1. Elemente de sintaxa SystemVerilog. Aplicația „Hello World!”, tipuri de date, declarația modulelor, declarația variabilelor, instrucțiuni concurente și secvențiale, instrucțiuni de atribuire de valori, instrucțiuni de ramificare, funcții și procese. Simularea circuitelor digitale prin simulatoare event-driven.			
2. Bistabilul D. Registre. Parametrizarea, exemplificat prin lățimea registrelor. Numărători. Registre de deplasare. Verificare direcționată.			
3. Automate secvențiale (finite state mashine). Structura automatelor Moore si Mealy. Codarea starilor (binary coded, onehot, output coded). Modelarea la nivel RTL. Descrierea SystemVerilog.			
4. Circuite partajate pe cale de date si cale de control. Interfețe SystemVerilog. Exemplificarea interfețelor SystemVerilog prin protocolul Axi-Stream			
5. Microarhitecturi/Microcontrollere/Microprocesoare. Arhitectura von-Neumann si Hardward. Microcontrollerul RISC (tip von-Neumann). Descriere in SystemVerilog. Programarea microcontollerului prin cod mașina			
6. Microcontrollerul MIPS (tip Hardward). Descriere SystemVerilog. Programarea microcontrolerului prin compilatoare C. Arhitectura CISC. Arhitectura VLIW.			
7. Elemente de programare orientat pe obiecte SystemVerilog. Exemplificare prin FIFO.			
8. Metoda de verificare SystemVerilog. Arhitectura testbench. Tranzactie. Aleatorizarea tranzacției. Driver. Consumer. Checkboard. Sincornizare/Comunicare intre procese (evenimente, semafor, casuta postala).			
9. Unified Verification Methodology. Aplicație „Hello World”. Realizarea metodei de verificare SystemVerilog cu clase UVM.			
10. Assertion based verification (verificare bazat pe afirmatii). Elemente de sintaxa SystemVerilog. Property description languages (limbaje pentru descrierea proprietatilor). Secvente, proprietati, acoperire.			
11. Elemente pentru integrarea in siliciu I. Minimizarea funcțiilor logice (metode grafice, empirice și algebrice). Reprezentarea PCM. Operații cu funcții binare.			
12. Elemente pentru integrarea in siliciu II. Biblioteci CMOS. Maparea tehnologica.			
13. Elemente pentru integrarea in siliciu III. Plasarea. Rutarea			
14. Elemente pentru integrarea in siliciu IV. Pad-uri (single ended, diferențial) . Sintetizatoare de frecvență. Circuite de alimentare.			
Bibliografie 1. B.S. Kirei, Proiectarea sistemelor digitale cu instrumente HDL, Editura Casa Cărții de Știință, Cluj Napoca, 2016, ISBN 978-606-17-0958-8			

2. Paul Farago, B.S. Kirei, Gabor Csipkes, Sorin Hintea, "Descrierea in VHDL a sistemelor cu circuite integrate digitale: îndrumător de proiectare și simulare, Editura U.T. Press, Cluj-Napoca, 2014, ISBN 978-973-662-950-1
3. M. D. Ciletti, „Advanced Digital Design with the Verilog HDL”, Ediția doua, Editura Prantice Hall, Upper Saddle River, New Jersey, 2011.
4. N. H. E. Weste, D. M. Harris, CMOS VLSI Design - A Circuits and Systems Perspective, Ediția patra, Editura Pearson Education, 2011
5. S. Kilts, „Advanced FPGA Design: Architecture, Implementation, and Optimization”, Editura Wiley-IEEE Press, 2007
6. C.H. Roth, L. K. John, „Digital System Design Using VHDL”, Ediția doua, Editura Thomson Learning, Toronto, Canada, 2008.
7. M. Zwolinski, „Digital System Design with SystemVerilog”, Ediția Pearson Education, Crawfordsville, Indiana, 2009.
8. I. Bucur, „Proiectare si Testare Logica”, Editura Cartea Universitara, Bucuresti, 2006
9. S. Golson, „State Machine Design Techniques for Verilog and VHDL”, Synopsys Journal of HighLevel Design, pp. 1-2, 1994
10. S. Nicola, „Circuite Integrate Numerice. Aplicații în mecatronică”, Ediția Universitaria, 2005
11. M. E. Ilaș, C. Ilaș, „Proiectarea Circuitelor Integrate Digitale Folosind Limbajul Verilog”, Ed. MatrixRom, 2011.
12. Z. F. Baruch, „Structure of Computer Systems”, Editura U. T. PRES, Cluj-Napoca, 2002
13. Z. F. Baruch, „Structura sistemelor de calcul”, Editura Albastră, Cluj-Napoca, 2005
14. S. Hintea, „Tehnici de Proiectare cu Aree Logice”, Editura U. T. Press, 2003
15. D. Nicula, Electronică digitală - Carte de învățătură, Ediția doua, Editura Universității Transilvania din Brașov, 2015
16. S. Iman, S. Joshi, „The e Hardware Verification Language”, Editura Springer, 2004
17. L.M. Surhone, M. T. Tennoe, S. F. Hensonow, „OpenVera”, Editura Betascript Publishing, 2011.
18. J. Bhasker, „A SystemC Primer, Second Edition”, Editura Star Galaxy Publishing, 2004
19. Janick Bergeron, Eduard Cerny, Alan Hunter, Andrew Nightingale, „Verification Methodology Manual for Systemverilog”, Springer, 2005

8.2 Seminar / laborator / proiect	Nr. ore	Metode de predare	Observații
1. Circuite combinatoriale (porți logice, multiplexoare/demultiplexoare, decodoare) și descrierea lor in SystemVerilog.			
2. Circuite secvențiale sincrone. Descriere comportamentală SystemVerilog. Simulatoare (Vivado, modelsim/queste, Icarus, Synopsys).			
3. Automate secvențiale (finite state mashine). Generatoare de semnale. Comunicare seriala. Descriere SystemVerilog/ Simulare Vivado			
4. Circuite partajate pe cale de date și control. Descrierea RTL a unui circuit pe baza unei implementare in C cu interfață Axi-Stream. Descriere SystemVerilog/ Simulare Vivado			
5. Microcontrollerul RISC (tip von-Neumann). Descriere in SystemVerilog. Programarea microcontollerului prin cod mașina. Descriere SystemVerilog/ Simulare Vivado			
6. Structuri de date/ Clase SystemVerilog. Descriere comportamentală FIFO.			
7. Tranzacții. Aleatorizarea si constrângerea tranzacțiilor. Comunicarea intre procese. Semaphor. Casuta Postală.			

8. Modul de verificare SystemVerilog pentru un circuit cu interfață AXI-Stream. Generarea tranzațiilor, descriere arhitecturii de verificare SystemVerilog.			
9. Unified Verification Methodology I. Aplicație „Hello World”. Realizarea metodei de verificare UVM pentru un FIFO.			
10. Unified Verification Methodology II. Realizarea metodei de verificare UVM pentru un circuit cu interfață AXI-Stream.			
11. Assertion based verification (verificare bazat pe afirmatii). Secvente, proprietati, acoperire in SystemVerilog / Vivado			
12. Minimizarea funcțiilor logice (metode grafice, empirice și algebrice). Reprezentarea PCM. Operații cu funcții binare. Biblioteci CMOS.			
13. Biblioteci CMOS. Maparea tehnologica cu aplicația SIS.			
14. Plasarea. Rutarea in Greywolf.			
<p>Bibliografie</p> <ol style="list-style-type: none"> 1. B. S. Kirei, I. Dornean, A. Fazakas, M. Topa, "Comparing Verilog and VHDL", Proceedings of MicroCAD 2007, Miskolc, Hungary, pg. 35-40, 22-23 March 2007 2. Z. Hascsi, „Proiectarea Asistată de Calculator a Circuitelor Digitale”, Notiție de curs, http://arh.pub.ro/zolih/courses/paccd/paccd.php, 22 Aprilie 2016 (ultima vizualizare) 			

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatorilor reprezentativi din domeniul aferent programului

<p>Competențele însușite vor fi necesare angajaților care-si desfașoara activitatea în cadrul serviciilor de proiectare digitala bazat pe limbajde de descriere hardware; continutul disciplinei, impreuna cu deprinderile si abilitatile dobandite, coraspund asteptarilor firmelor de profil la care studentii cauta loc de munca</p>

10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finală
10.4 Curs	<p>Cunostinte teoretice -Gradul de asimilare a cunoștințelor teoretice de specialitate -Coerența logică și utilizarea adecvată a noțiunilor -Corectitudinea rezolvării problemelor</p>	Examen	- E, max 10 puncte. 50%
10.5 Seminar/Laborator /Proiect	<p>Activitatea la laborator -Frecvența și pertinenta intervențiilor orale, -Calitatea lucrărilor efectuate, -Consemnarea sistematică a informațiilor semnificative -Conștiinciozitatea, interesul pentru studiu individual</p>	Evaluare continuă	- L, max. 10 puncte 50%
10.6 Standard minim de performanță L ≥ 5 and E ≥ 5			

Data completării:	Titulari	Titlu Prenume NUME	Semnătura
04.04.2023	Curs	Conf. Dr. Ing. Botond Sandor Kirei	
	Aplicații	Conf. Dr. Ing. Botond Sandor Kirei	

Data avizării în Consiliul Departamentului	Director Departament
04.04.2023	Prof.dr.ing. Sorin HINTEA

Data aprobării în Consiliul Facultății de Electronică, Telecomunicații și Tehnologia Informației	Decan
04.04.2023	Prof.dr.ing. Ovidiu Aurel POP
