

## FIȘA DISCIPLINEI

### 1. Date despre program

|                                       |   |
|---------------------------------------|---|
| 1.1 Instituția de învățământ superior | Universitatea Tehnică din Cluj-Napoca                               |
| 1.2 Facultatea                        | Electronică, Telecomunicații și Tehnologia Informației              |
| 1.3 Departamentul                     | Bazele Electronicii   |
| 1.4 Domeniul de studii                | Inginerie electronică, telecomunicații și tehnologii informaționale |
| 1.5 Ciclul de studii                  | Licență   |
| 1.6 Programul de studii / Calificarea | Microelectronică, optoelectronică și nanotehnologii                 |
| 1.7 Forma de învățământ               | IF – învățământ cu frecvență  |
| 1.8 Codul disciplinei                 | 45.00   |

### 2. Date despre disciplină

|  |  |               |   |                       |    |
|--|--|---------------|---|-----------------------|----|
| 2.1 Denumirea disciplinei                | Sisteme digitale implementate cu FPGA si SoC   |               |   |                       |    |
| 2.2 Titularul de curs                    | Conf. Dr. Ing. Albert Fazakas – <a href="mailto:Albert.Fazakas@bel.utcluj.ro">Albert.Fazakas@bel.utcluj.ro</a> |               |   |                       |    |
| 2.3 Titularul activităților de laborator | Conf. Dr. Ing. Albert Fazakas – <a href="mailto:Albert.Fazakas@bel.utcluj.ro">Albert.Fazakas@bel.utcluj.ro</a> |               |   |                       |    |
| 2.4 Anul de studiu                       | IV   | 2.5 Semestrul | I | 2.6 Tipul de evaluare | E  |
| 2.7 Regimul disciplinei                  | Categoría formativă  |               |   |                       | DD |
|  | Opționalitate  |               |   |                       | DI |

### 3. Timpul total estimate

|  |    |           |          |    |             |   |               |    |             |    |     |
|--|----|-----------|----------|----|-------------|---|---------------|----|-------------|----|-----|
| 3.1 Număr de ore pe săptămână  | 4  | din care: | 3.2 Curs | 2  | 3.3 Seminar | 0 | 3.3 Laborator | 2  | 3.3 Proiect | 0  |     |
| 3.4 Număr de ore pe semestru   | 56 | din care: | 3.5 Curs | 28 | 3.6 Seminar | 0 | 3.6 Laborator | 28 | 3.6 Proiect | 0  |     |
| 3.7 Distribuția fondului de timp (ore pe semestru) pentru:                                       |    |           |          |    |             |   |               |    |             |    |     |
| (a) Studiul după manual, suport de curs, bibliografie și notițe                                  |    |           |          |    |             |   |               |    |             | 10 |     |
| (b) Documentare suplimentară în bibliotecă, pe platforme electronice de specialitate și pe teren |    |           |          |    |             |   |               |    |             | 8  |     |
| (c) Pregătire seminarii / laboratoare, teme, referate, portofolii și eseuri                      |    |           |          |    |             |   |               |    |             | 38 |     |
| (d) Tutorat  |    |           |          |    |             |   |               |    |             | 10 |     |
| (e) Examinări  |    |           |          |    |             |   |               |    |             | 3  |     |
| (f) Alte activități:   |    |           |          |    |             |   |               |    |             | 0  |     |
| 3.8 Total ore studiu individual (suma (3.7(a))...3.7(f))   |    |           |          |    |             |   |               |    |             |    | 69  |
| 3.9 Total ore pe semestru (3.4+3.8)  |    |           |          |    |             |   |               |    |             |    | 125 |
| 3.10 Numărul de credite  |    |           |          |    |             |   |               |    |             |    | 5   |

### 4. Precondiții (acolo unde este cazul)

|                   |   |
|-------------------|---|
| 4.1 de curriculum | Circuite integrate digitale, Sisteme cu circuite integrate digitale, Limbaje de descriere hardware  |
| 4.2 de competențe | <ul style="list-style-type: none"> <li>Proiectarea circuitelor digitale utilizând limbaje de descriere hardware VHDL și/sau Verilog</li> <li>Verificarea circuitelor utilizând limbaje de verificare hardware. Interpretarea diagramelor de semnale și a mesajelor de simulare</li> <li>Cunoștințe de bază în utilizarea programelor dedicate pentru proiectarea circuitelor digitale (ex. Methor Graphics ModelSim, Xilinx Vivado). Cunoștințe de utilizare corectă a instrumentelor de simulare a modelelor descrise</li> </ul> |

## 5. Condiții (acolo unde este cazul)

|   |  |
|---|--|
| 5.1. de desfășurare a cursului                                  | Cluj-Napoca, Amfiteatru cu capacitate de minim 60 de locuri dotat cu tablă, calculator, videoproiector, instrumente de scris și șters tablă  |
| 5.2. de desfășurare a seminarului / laboratorului / proiectului | Cluj-Napoca, sală cu rețea de calculatoare, software Vivado; Sisteme de dezvoltare (plăci de dezvoltare) FPGA din Seria 7 și SoC din seria 7, analizoare logice, dispozitive periferice uzuale |

## 6. Competențele specifice acumulate

|                         |   |
|-------------------------|---|
| Competențe profesionale | <p>Cunoștințe teoretice, (Ce trebuie să cunoască)</p> <ul style="list-style-type: none"> <li>Să cunoască terminologia utilizată în sistemele cu microprocesoare implementate pe FPGA și SoC FPGA</li> <li>Demonstrarea capacității de utilizare adecvată a instrumentelor hardware folosite pentru vizualizarea semnalelor interne și depanarea proiectelor</li> <li>Să înțeleagă structura sistemelor pe microprocesoare implementate în FPGA și SoC FPGA, performanțele și limitările acestora</li> <li>Să cunoască modul de funcționare a tranzacțiilor pe magistralele standard (AXI Lite, Full, Stream) și modul în care se pot elabora și testa dispozitive periferice utilizator conectate la aceste magistrale</li> <li>Metodele de implementare moderne a algoritmilor de procesare a datelor prin medii de proiectare de nivel înalt (HLS, Matlab) și metodele de inserție a acceleratoarelor hardware în sistemele cu microprocesoare implementate pe FPGA și SoC</li> <li>Să înțeleagă importanța partiționării proiectelor pentru reconfigurabilitate parțială; avantajele și limitările reconfigurării parțiale</li> </ul> <p>Deprinderi dobândite: (Ce știe să facă)</p> <ul style="list-style-type: none"> <li>Identificarea semnalelor relevante pentru testare/depanare dintr-un proiect; vizualizarea și stimularea semnalelor respective; interpretarea diagramelor de semnale în vederea depanării proiectului</li> <li>Construirea și implementarea sistemelor pe microprocesoare Microblaze și ARM; Accesarea dispozitivelor periferice standard la nivel hardware prin regiștri și software prin driver-e;</li> <li>Conectarea modulelor HDL la magistralele AXI Lite sau Full în vederea integrării în sistemele cu microprocesoare ca dispozitive periferice utilizator</li> <li>Să poată descrie un algoritm de prelucrare a datelor/semnalelor folosind limbaje HSL și/sau mediul Matlab. Să poată implementa algoritmul într-un sistem pe microprocesor</li> <li>Să definească partițiile unui proiect prevăzut pentru reconfigurare parțială; să implementeze proiectul de bază și partițiile; să creeze și să folosească corect setul de fișiere de reconfigurare</li> </ul> <p>Abilități dobândite: (Ce instrumente știe să mănuiască)</p> <ul style="list-style-type: none"> <li>Cunoștințe avansate de utilizare a programelor dedicate pentru proiectarea cu sisteme FPGA și SoC FPGA, precum mediul hardware Vivado și mediile software Vitis și Vitis HSL</li> <li>Cunoștințe de utilizare a plăcilor de dezvoltare hardware și a instrumentelor de depanare hardware – analizoare logice</li> <li>Utilizarea extensiilor Vivado Model Composer în Matlab respectiv Dynamic Function Exchange</li> </ul> |
| Competențe transversale | <ul style="list-style-type: none"> <li>Să utilizeze resursele de informare în domeniul proiectării cu sisteme FPGA și SoC FPGA și a depanării în hardware</li> <li>Preocupare pentru perfecționare profesională prin antrenarea abilităților de gândire critică, perfecționarea și educația în mod autodidact pe întregul parcurs al activității.</li> <li>Să dezvolte abilități de lucru în echipă din domeniul proiectelor implementate pe FPGA/SoC FPGA</li> </ul>   |

## 7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

|                                       |   |
|---------------------------------------|---|
| 7.1 Obiectivul general al disciplinei | Dezvoltarea de competențe în domeniul analizei, proiectării, verificării/depanării și optimizării sistemelor implementate pe circuite FPGA și SoC FPGA; a dispozitivelor periferice – |
|---------------------------------------|---|

|                           |   |
|---------------------------|---|
|                           | acceleratoare- din sistemele pe microprocesoare implementate pe această familie de circuite; a implementării algoritmilor folosind instrumente și limbaje de nivel înalt.   |
| 7.2 Obiectivele specifice | <ol style="list-style-type: none"> <li>1. Asimilarea cunoștințelor teoretice de bază privind sistemele pe microprocesoare implementate pe FPGA/SoC;</li> <li>2. Obținerea deprinderilor și abilităților necesare pentru crearea și depanarea sistemelor pe microprocesoare; crearea, integrarea și depanarea dispozitivelor periferice utilizator pentru accelerarea procesării; implementarea algoritmilor de procesare de date/semnal folosind instrumente moderne</li> <li>3. Deprinderea unor metodologii și tehnici de analiza și proiectare sistematică, care îmbină cunoștințele în domeniul sistemelor digitale și a sistemelor cu microprocesoare cu utilizarea instrumentelor CAD folosite în mod curent în industrie și a experimentelor de laborator</li> </ol> |

## 8. Conținuturi

| 8.1 Curs   | Nr. ore | Metode de predare  | Observații                    |
|--|---------|--|-------------------------------|
| 1. Introducere. Ce este FPGA? Ce este SoC FPGA? Stadiul actual a dispozitivelor FPGA; Domeniile de aplicații. Mediile de dezvoltare pe dispozitive FPGA/SoC. Structuri de principiu. | 2       | Expunere, conversație euristica, exemplificare, problematizare, exercițiu didactic, studiul de caz, evaluare formativă | Laptop, Videoprojector, tablă |
| 2. Componente FPGA pentru verificarea în hardware a proiectelor. Componenta ILA. Componenta VIO  | 2       |  |                               |
| 3. Sistem de bază pe microprocesor Microblaze, implementat pe FPGA. Configurarea procesorului, a dispozitivelor I/O și alocarea pinilor externi                                      | 2       |  |                               |
| 4. Sistem de bază pe microprocesor ARM implementat în SoC FPGA. Configurarea procesorului. Configurarea dispozitivelor periferice. Alocarea pinilor MIO și EMIO                      | 2       |  |                               |
| 5. Moduri de acces la dispozitivele periferice AXI Lite. Acces prin regiștrii hardware. Acces prin driver-e de dispozitiv  | 2       |  |                               |
| 6. Verificarea tranzațiilor pe magistrala AXI Lite. Crearea unui dispozitiv periferic de utilizator AXI Lite. Integrarea dispozitivului periferic în sistemul pe microprocesor.      | 2       |  |                               |
| 7. Mecanismul de întreruperi în sistemele cu Microblaze și ARM. Controlere de întreruperi. Configurarea și validarea întreruperilor. Controlul proceselor. Răspuns în timp real.     | 2       |  |                               |
| 8. Procesarea și transferul datelor la mare viteză I. Crearea și utilizarea unui dispozitiv periferic utilizator AXI Full. Elaborarea software pentru acces la mare viteză.          | 2       |  |                               |
| 9. Procesarea și transferul datelor la mare viteză II. Exemplu cu DMA și căile de date Memory Mapped to Stream, respectiv Stream to Memory Mapped (MM2S/S2MM).2w                     | 2       |  |                               |
| 10. Mediul de lucru Vitis HLS (High-Level Synthesis). Acceleratoare hardware descrise în mediul HLS  | 2       |  |                               |

|   |                |  |   |
|---|----------------|--|---|
| 11. Folosirea mediului Model Composer (Matlab) pentru crearea acceleratoarelor hardware și inserarea lor într-un sistem Microblaze sau ARM  | 2              |  |   |
| 12. Platforme Expandabile Vitis. Crearea unei platforme expandabile. Inserarea unui accelerator și conectarea magistralelor expuse.   | 2              |  |   |
| 13. Accesul sistemelor Microblaze și ARM pe SoC la suport de memorie extern (memorie QSPI Flash, card SD). Reconfigurarea și încărcarea software de pe suport extern.   | 2              |  |   |
| 14. Proiectarea pentru reconfigurare parțială. Partiționarea proiectelor. Folosirea Xilinx Dynamic Function Exchange pentru proiecte parțial reconfigurabile..  | 2              |  |   |
| <b>Bibliografie:</b> <ol style="list-style-type: none"> <li>1. Parimal Patel, Advanced Embedded System Design Flow on Zynq, <a href="https://github.com/xupgit/Advanced-Embedded-System-Design-Flow-on-Zynq">https://github.com/xupgit/Advanced-Embedded-System-Design-Flow-on-Zynq</a> , 2019</li> <li>2. Albert Fazakas, "Sisteme cu FPGA", prezentări PowerPoint, 2022</li> <li>3. Louise Crockett, Ross Elliot, e.a,"The Zynq Book", August 2015, www.zyqbook.com</li> <li>4. Xilinx inc., „Artix-7 FPGAs Data Sheet: Overview”, DS180 (v2.6) February 27, 2018, www.xilinx.com <ul style="list-style-type: none"> <li>• Foi de catalog și ghiduri de utilizare ale FPGA din Seria 7: DS181, UG470..UG476</li> </ul> </li> <li>5. Xilinx inc., „Zynq-7000 SoC Data Sheet: Overview”, DS190 (v1.11.1) July 2, 2018, www.xilinx.com <ul style="list-style-type: none"> <li>• Foi de catalog și ghiduri de utilizator ale dispozitivelor ZynQ, : UG585, DS191, DS187, UG1165, UG873</li> </ul> </li> </ol> |                |  |   |
| <b>8.2 Seminar / laborator / proiect</b>  | <b>Nr. ore</b> | <b>Metode de predare</b>   | <b>Observații</b>   |
| 1. Introducere. Familiarizarea cu mediul de proiectare Xilinx Vivado și plăcile de dezvoltare pe FPGA pe seria 7 și Zybo.   | 2              |  |   |
| 2. Exemplu pentru vizualizarea semnalelor interne unui proiect, folosind ILA. Depanarea proiectelor cu ajutorul VIO.  | 2              |  |   |
| 3. Crearea unui sistem de bază pe microprocesorul Microblaze. Configurarea hardware. Crearea aplicației software și accesarea dispozitivelor periferice.  | 2              |  |   |
| 4. Crearea unui sistem de bază pe ZynQ cu microprocesor ARM. Configurarea hardware. Crearea aplicației software și accesarea dispozitivelor periferice.   | 2              |  |   |
| 5. Driver-e software ale dispozitivelor periferice. Exemple pentru crearea de funcții adiționale.   | 2              | Demonstrația și experimentul didactic, exercițiul didactic, lucrul în echipă | Se utilizează software Vivado, Vitis, Vitis HLS, aparatura de laborator, plăci de dezvoltare pe FPGA Artix 7 (Nexys4 DDR, Nexys A7) și ZynQ (Zybo , Zybo Z7, ZedBoard). |
| 6. Vizualizarea tranzațiilor pe magistrala AXI Lite, folosind ILA. Crearea unui dispozitiv periferic utilizator pe magistrala AXI Lite. Accesarea dispozitivului periferic.   | 2              |  |   |
| 7. Exemple pentru configurarea și utilizarea întreruperilor dispozitivelor periferice oferite de Xilinx. Crearea și utilizarea de întreruperi ale dispozitivului periferic utilizator   | 2              |  |   |
| 8. Procesarea și transferul datelor la mare viteză, folosind magistrala AXI Full. Exemplu de dispozitiv periferic pe magistrala AXI Full.   | 2              |  |   |
| 9. Procesarea și transferul datelor la mare viteză, folosind DMA și magistralele AXI Stream. II. Exemplu cu DMA și căile de date MM2S/S2MM.   | 2              |  |   |
| 10. Exemplu de accelerator hardware pentru procesarea datelor elaborat în mediul Vitis HLS (High-Level Synthesis).  | 2              |  |   |

|  |   |  |  |
|--|---|--|--|
| 11. Exemplu de accelerator hardware elaborat în mediul Model Composer (Matlab).  | 2 |  |  |
| 12. Crearea unei platforme expandabile Vitis. Exemplu de inserare a unui accelerator în platforma expandabilă.   | 2 |  |  |
| 13. Exemple pentru accesul la datele de pe un card SD. Configurarea FPGA și SoC de pe un suport de memorie extern. Crearea și pregătirea proiectului pentru configurare de pe suport extern.   | 2 |  |  |
| 14. Partiționarea unui proiect pentru reconfigurabilitate parțială. Exemplu de utilizare a Xilinx Dynamic Function Exchange pe FPGA respectiv pe SoC.  | 2 |  |  |
| <p><b>Bibliografie</b></p> <ol style="list-style-type: none"> <li>1. Louis Luwei, High-Level-Synthesis-Flow-on-Zynq-using-Vivado-HLS”, 2019, <a href="https://github.com/xupgit/High-Level-Synthesis-Flow-on-Zynq-using-Vivado-HLS">https://github.com/xupgit/High-Level-Synthesis-Flow-on-Zynq-using-Vivado-HLS</a></li> <li>2. Albert Fazakas, “Sisteme cu FPGA”, tutoriale PPT/video”, 2022</li> <li>3. Xilinx inc., „Vivado Design Suite User Guide: Getting Started”, UG910, <a href="https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug910-vivado-getting-started.pdf">https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug910-vivado-getting-started.pdf</a></li> <li>4. Xilinx inc., „Vivado Design Suite User Guide: Using the Vivado IDE”, UG893, <a href="https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug893-vivado-ide.pdf">https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug893-vivado-ide.pdf</a></li> <li>5. Digilent inc., „Nexys4DDR User Manual”, rev. C, April 11, 2016, <a href="https://reference.digilentinc.com/_media/nexys4-ddr:nexys4ddr_rm.pdf">https://reference.digilentinc.com/_media/nexys4-ddr:nexys4ddr_rm.pdf</a></li> <li>6. Digilent inc., „Zybo Z7 Board Reference Manual”, Revised February 21, 2018, <a href="https://reference.digilentinc.com/_media/reference/programmable-logic/zybo-z7/zybo-z7_rm.pdf">https://reference.digilentinc.com/_media/reference/programmable-logic/zybo-z7/zybo-z7_rm.pdf</a></li> </ol> |   |  |  |

**9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatorilor reprezentativi din domeniul aferent programului**

|   |
|---|
| <p>Competențele însușite vor fi necesare angajaților care-si desfășoară activitatea în cadrul serviciilor de proiectare pe FPGA/SoC; conținutul disciplinei, împreună cu deprinderile și abilitățile dobândite, corespund așteptărilor firmelor de profil la care studenții caută loc de muncă, cum sunt Analog Devices Romania, National Instruments România, Bosch România, și Microchip.</p> |
|---|

**10. Evaluare**

| Tip activitate                  | 10.1 Criterii de evaluare  | 10.2 Metode de evaluare   | 10.3 Pondere din nota finală                      |
|---------------------------------|--|---|---|
| 10.4 Curs                       | <p>Cunoștințe teoretice:</p> <ul style="list-style-type: none"> <li>-Gradul de asimilare a cunoștințelor teoretice de specialitate</li> <li>-Coerența logică și utilizarea adecvată a noțiunilor</li> <li>-Frecvența și relevanța intervențiilor orale,</li> </ul> | <p>C – Evaluare formativă continuă (răspunsuri la întrebările de la curs)</p> <p>ES – Examen scris de evaluare sumativă (rezolvare de probleme)</p> | <p>C (max. 1 p)</p> <p>ES (max. 10 pct.), 40%</p> |
| 10.5 Seminar/Laborator /Proiect | <p>Activitatea la laborator:</p> <ul style="list-style-type: none"> <li>- Calitatea lucrărilor efectuate,</li> <li>- Conștiințiozitatea, interesul pentru studiu individual</li> </ul>   | <p>RL – 4 Referate de laborator (rezolvare exerciții de laborator, miniproiecte)</p>  | <p>RL1, RL2, RL3, RL4 (max. 10p), 60%</p>         |

|  |  |                           |  |
|--|--|---------------------------|--|
|  | - Capacitatea de a opera cu cunoștințele asimilate<br>- Elaborarea rapoartelor pentru lucrările de laborator | implementate pe hardware) |  |
| <p>10.6 Standard minim de performanță<br/>Standard minim de promovare:</p> <ul style="list-style-type: none"> <li>• Participarea la toate cursurile sau recuperarea prin studiu individual al cursurilor absente</li> <li>• Participarea activă la toate lucrările de laborator și la toate orele de proiect , realizarea sarcinilor trasate în cadrul fiecărei lucrări de laborator + elaborarea corectă a rapoartelor pentru lucrările de laborator: <math>RL1 \geq 5</math> și <math>RL2 \geq 5</math> și <math>RL3 \geq 5</math> și <math>RL4 \geq 5</math>;</li> <li>• Dacă toate condițiile de mai sus sunt îndeplinite, atunci nota finală se va calcula după formula<br/><math display="block">\text{Nota} = 0.4 * E + 0.6 * ((RL1 + RL2 + RL3 + RL4) / 4)</math></li> </ul> |  |                           |  |

| Data completării: | Titulari  | Titlu Prenume NUME            | Semnătura |
|-------------------|-----------|-------------------------------|-----------|
| 09.09.2022        | Curs      | Conf. Dr. Ing. Albert FAZAKAS |           |
|                   | Aplicații | Conf. Dr. Ing. Albert FAZAKAS |           |
|                   |           |                               |           |
|                   |           |                               |           |

|   |                                 |
|---|---------------------------------|
| Data avizării în Consiliul Departamentului<br>Bazele Electronicii | Director Departament .....      |
| 15.09.2022  | Prof. dr. ing. Sorin HINTEA     |
| Data aprobării în Consiliul Facultății ETTI                       | Decan                           |
| 21.09.2022  | Prof. dr. ing. Ovidiu Aurel POP |